

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-233144

(43)Date of publication of application : 16.08.2002

(51)Int.Cl. H02M 3/28
H02M 7/21

(21)Application number : 2001-021680 (71)Applicant : SHINDENGEN
ELECTRIC MFG CO LTD

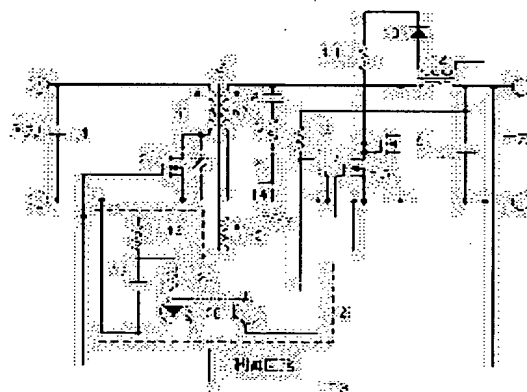
(22)Date of filing : 30.01.2001 (72)Inventor : KOBAYASHI KIMISADA
SEKINE YUTAKA

(54) SYNCHRONOUS RECTIFYING-TYPE FORWARD CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the trouble that occurs when, after oscillation is stopped by applying a high voltage to an output, the oscillation is restarted in a synchronous rectifying circuit-type switching power supply wherein signals from a commutation FET is excited by a secondary winding of an output choke.

SOLUTION: The synchronous rectifying-type forward converter converts a direct-current input voltage into a rectangular-wave pulse voltage through a switching element, and applies the voltage to a primary winding of an output transformer, rectifies and smoothes a secondary winding-side output of the output transformer through an output-side synchronous rectifying circuit comprising a synchronous rectifying FET, the commutation FET, a choke coil, a capacitor and the like, and outputs a direct-current voltage. With respect to a power supply received from a secondary winding of the output choke as a gate signal of the commutation FET, when a high voltage is applied to the output and oscillation is stopped, the stop of the oscillation is detected and the signals from the commutation FET are interrupted and turned off. When the high voltage is applied to the output to cause a control circuit to stop the oscillation and a signal from the secondary winding of the output choke is longer in time than ordinary time, the length of the time is detected and the signals from the commutation FET are interrupted to eliminate energy stored in the output choke. Thus an abnormal voltage is prevented from being produced at the restart.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-233144

(P2002-233144A)

(43) 公開日 平成14年8月16日 (2002.8.16)

(51) Int.Cl.⁷

識別記号

F I

ターミナル (参考)

H 0 2 M 3/28

H 0 2 M 3/28

C 5 H 0 0 6

7/21

7/21

F 5 H 7 3 0

A

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願2001-21680 (P2001-21680)

(22) 出願日 平成13年1月30日 (2001.1.30)

(71) 出願人 000002037

新電元工業株式会社

東京都千代田区大手町2丁目2番1号

(72) 発明者 小林 公祐

埼玉県飯能市南町10番13号新電元工業株式会社内

(72) 発明者 関根 豊

埼玉県飯能市南町10番13号新電元工業株式会社内

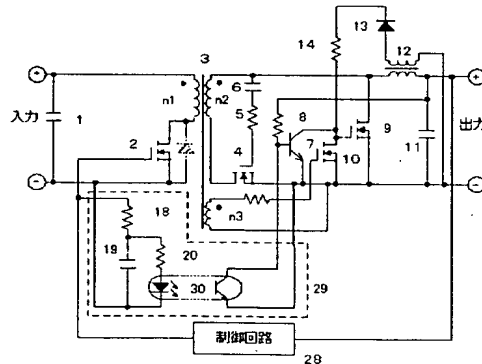
最終頁に続く

(54) 【発明の名称】 同期整流型フォワードコンバータ

(57) 【要約】

【課題】 同期整流回路方式のスイッチング電源において、転流 F E T の信号を出力チョークの2次巻き線より励振する電源において、出力に高い電圧が印加され発振が停止し、発振が再開するときの不具合を解決する物である。

【解決手段】 直流入力電圧をスイッチング素子により矩形波パルス電圧に変換して出力トランスの一次巻線に印加し、前記出力トランスの二次側巻線側の出力を、同期整流 F E T、転流 F E T、チョークコイル、コンデンサ等により構成された出力側同期整流回路により整流、平滑して直流電圧を出力する同期整流型フォワードコンバータで、前記転流 F E T のゲート信号として出力チョークの2次巻き線より受ける電源において、出力に高い電圧が印加され発振を停止したことを検出し、転流 F E T の信号を遮断し O F F とした、出力に高い電圧が印加され制御回路が発振を停止、出力チョークの2次巻き線からの信号が、通常の時間より長いことを検出し、転流 F E T の信号を遮断し、出力チョークにエネルギーを蓄え無くし、再起同時に発生する異常電圧を防ぐ。



【特許請求の範囲】

【請求項1】直流入力電圧をスイッチング素子により矩形波パルス電圧に変換して出力トランスの一次巻線に印加し、前記出力トランスの二次側巻線側の出力を、同期整流FET、転流FET、チョークコイル、コンデンサ等により構成された出力側同期整流回路により整流、平滑して直流電圧とし、該転流FETのゲート駆動信号を該チョークコイルより供給するようにした同期整流型フォワードコンバータにおいて、該転流FETのゲート駆動信号を短絡又は開放する制御スイッチと、該スイッチング素子の制御信号停止検出回路を設け、該検出回路の検出信号により該制御スイッチを用いて、該チョークコイルからのゲート駆動信号を停止せしめるようにしたことを特徴とする同期整流型フォワードコンバータ。

【請求項2】直流入力電圧をスイッチング素子により矩形波パルス電圧に変換して出力トランスの一次巻線に印加し、前記出力トランスの二次側巻線側の出力を、同期整流FET、転流FET、チョークコイル、コンデンサ等により構成された出力側同期整流回路により整流、平滑して直流電圧とし、該転流FETのゲート駆動信号を該チョークコイルより供給するようにした、同期整流型フォワードコンバータにおいて、該転流FETのゲート駆動信号を短絡又は開放する制御スイッチと、該ゲート駆動信号の異常検出回路を設け、該異常検出回路の検出信号により、該制御スイッチを用いて、該チョークコイルの駆動信号を停止せしめるようにしたことを特徴とする同期整流型フォワードコンバータ。

【請求項3】異常検出回路として時定数回路を用いたことを特徴とする、請求項2の同期整流型フォワードコンバータ。

【請求項4】請求項1の同期整流型フォワードコンバータを複数台有し、前記各コンバータは入力端子と出力端子を夫々共通にして並列接続されていることを特徴とする同期整流型フォワードコンバータ。

【請求項5】請求項2又は請求項3の同期整流型フォワードコンバータを複数台有し、前記各コンバータは入力端子と出力端子を夫々共通にして並列接続されていることを特徴とする同期整流型フォワードコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は同期整流型フォワードコンバータに関する。

【0002】

【従来の技術】従来、この種の同期整流回路を用いたDC-DCコンバータとしては、図7に示すように、直流入力電源の直流電圧 V_i を、半導体スイッチ2のスイッチング動作によって矩形波パルス電圧に変換し、この矩形波パルス電圧をトランス3によって所望の電圧に変換した後、同期整流FET4及び転流FET9の整流回路と、チョークコイル12およびコンデンサ11による平

滑回路により整流・平滑して、その平均電圧として取り出すようにしている。なお、前記した半導体スイッチ2のスイッチング動作の制御は、この同期整流コンバータの出力電圧を検出する電圧検出制御回路28により、その検出状況に基づいてPWM制御される。

【0003】一般に同期整流回路の場合は、前述した図7のようにスイッチ素子4、9を用いて同期動作させる場合と、スイッチ素子4のみにFETを用いて同期動作させる場合とがあるが、本発明は変換効率の向上を重視した前者の回路、即ち、スイッチ素子4、9を共に半導体スイッチ(FET)を用いた回路を対象としている。そこで前記スイッチ素子4を同期整流FET、素子9を転流FETと表現する。

【0004】しかし、従来の電源において、出力VOより高い電圧が印加されたり、入力電圧急変事に制御回路28の応答が間に合わず、出力電圧が通常より高くなった事により、出力チョーク12にエネルギーが多く蓄えられた事に起因してスイッチ素子2、4、を破損する恐れがある。

【0005】以下これについて図6を参照して説明する。図6は図7の各部動作波形図で、図6(a)は出力電圧(VO)波形(b)はスイッチ素子2のパルス幅制御信号(PWM)、(c)はチョークコイルの電流波形、(d)は転流FET9のゲート信号、(e)はスイッチ素子2の電流波形、(f)はスイッチ素子2の電圧波形である。

【0006】即ち時間 t_1 で図6(a)に示すように、何らかの原因で、出力電圧が上昇した場合、制御回路28は出力電圧が上昇したため、パルス幅を小さくし、ゼロとする。(図6(b))すると出力+からチョーク12、転流FET9、出力-の経路で電流が流れ(図6(c))、転流FET9のゲートには、チョーク12の2次巻線よりON信号が送出され、出力電圧が低下し通常の出力電圧になるまで、信号を送出し転流FETはONし続け出力チョークにエネルギーを蓄え続ける。

【0007】出力電圧が徐々に低下し、時間 t_2 で、通常電圧に至ると制御回路28はスイッチ素子2に信号を出し始める。スイッチ2がONすると、整流FET4がONし転流FET9がOFFし、チョーク12に蓄えられたエネルギーが、トランス3により1次側に回生される。しかし2次側のチョーク12に蓄えられたエネルギーが、1次側に放出し終わらない間は、スイッチ素子2のゲートをOFFしても電流は流れ続ける、なぜなら電流は入力-からスイッチ2の寄生ダイオード、トランス3、入力+に流れるからである。放出終了した時に、ちょうどスイッチ2のゲートにON信号が来ていた場合、トランス3を励磁する期間が、通常の励磁時間より長くなるため、次のOFF期間に励磁されたエネルギーが放出されるため、図6(f)点線に示すように、通常より高い電圧が発生し、スイッチ素子2、または整流FET

4を破壊するおそれが出てくる。

【0008】

【発明が解決しようとする課題】本発明は、出力より高い電圧が印加されたり、入力電圧急変事に制御回路の応答が間に合わず、出力電圧が通常より高くなった場合に起因するスイッチ素子2、4、及び9の破損を防ぐ回路を提案する。

【0009】

【課題を解決する為の手段】上記課題を解決するため請求項1の発明は、直流入力電圧をスイッチング素子により矩形波パルス電圧に変換して出力トランスの一次巻線に印加し、前記出力トランスの二次側巻線側の出力を、同期整流FET、転流FET、チョークコイル、コンデンサ等により構成された出力側同期整流回路により整流、平滑して直流電圧とし、該転流FETのゲート駆動信号を該チョークコイルより供給するようにした同期整流型フォワードコンバータにおいて、該転流FETのゲート駆動信号を短絡又は開放する制御スイッチと、該スイッチング素子の制御信号停止回路を設け、該検出回路の検出信号により該制御スイッチを用いて、該チョークコイルからのゲート駆動信号を停止せしめるようにしたことを特徴とする。この構成にすれば、スイッチング素子の制御回路28の信号が停止した場合速やかに転流FET9をOFFし、チョークコイル12に蓄えられたエネルギーを小さくし、スイッチ素子の破損を防ぐことができる。

【0010】上記の課題を解決するための請求項2、請求項3の発明は、直流入力電圧をスイッチング素子により矩形波パルス電圧に変換して出力トランスの一次巻線に印加し、前記出力トランスの二次側巻線側の出力を、同期整流FET、転流FET、チョークコイル、コンデンサ等により構成された出力側同期整流回路により整流、平滑して直流電圧とし、該転流FETのゲート駆動信号を該チョークコイルより供給するようにした同期整流型フォワードコンバータにおいて、該転流FETのゲート駆動信号を短絡又は開放する制御スイッチと、該ゲート駆動信号の異常検出回路を設け、該異常検出回路の検出信号により、該制御スイッチを用いて該チョークコイルの駆動信号を停止せしめるようにしたことを特徴とする。この構成により、出力チョークの2次巻き線からの信号が、通常の時間より長いことを検出し、転流FETの信号を遮断し、出力チョークにエネルギーを蓄えなくし、再起動時に発生する異常電圧を防ぐ。

【0011】上記の課題を解決するための請求項4又は請求項5の発明は、請求項1又は、請求項2の、同期整流型フォワードコンバータを複数台有し、前記各コンバータは入力端子と出力端子を夫々共通にして並列接続されていることを特徴とする同期整流型フォワードコンバータにある。

【00012】

【実施の態様】図1は本発明の一実施例回路で図中1は入力コンデンサ、2はスイッチング素子、3は電力変換用出力トランス、4は整流用スイッチング素子（同期整流FET）、9は回生用スイッチング素子（転流FET）、6はスイッチング素子4の駆動コンデンサ、5はスイッチング素子4の駆動抵抗、8はスイッチング素子5の駆動抵抗、10はスイッチ素子9の制御素子、11は平滑コンデンサ、12は出力チョークで、以上は従来例と同一構成である。次に7は制御素子10の両端にコレクタ、エミッタが接続され、ベースが抵抗8を介して平滑コンデンサの+側に接続されたトランジスタ（補助スイッチ）、29はスイッチング素子2の制御用PWM信号の停止を検出する検出回路で、その検出信号は該トランジスタ7のベース、エミッタに印加される。因みに検出回路29は、スイッチ素子2のドライブ波形を抵抗18とコンデンサ19にて積分しデューティが零となりドライブ波形が無くなると、ホトカブラのトランジスタ30がOFFし、トランジスタ7がオンとなる構成である。なお、出力トランス3の3次巻き線n3は、1次巻き線n1、2次巻き線n2とは同極性に実装され、スイッチング素子2がONの時、3次巻き線n3の発生電圧により補助スイッチ10をONし転流用FET9のOFFを維持する。

【0013】従って図1の実施例では、出力に高い電圧が印加され、制御回路28がON幅を絞りゼロとなった時、検出回路29がそれを検出し、転流FET9のゲートを短絡し、出力チョークにエネルギーを蓄えなくする。

【0014】図2は本発明の他の実施例回路図で上記実施例（図1）と相違する点は、トランジスタとしてPNP型トランジスタを使用し、そのエミッタ、コレクタをチョークコイルの一端と補助スイッチ10の間に直列接続した点である。この回路では検出回路29の検出信号によりトランジスタがOFF（オフ）することにより出力チョーク12から転流FET9のゲート駆動信号の供給を開放する。

【0015】図3は本発明の他の実施例回路図で、上記実施例（図1、図2）のPWM信号停止検出回路29に代えて、出力チョーク電流異常検出回路30（時定数回路）を設けた点である。即ち、出力より高い電圧が出力に印加され、制御回路28によるパルスのデューティがゼロと成った時、時定数回路により、チョークよりの信号が通常より長くなった事を検出し、転流FETのゲートを短絡し出力チョークにエネルギーを蓄えなくする。なお時定数回路30は抵抗r1、r2及びコンデンサc1により構成され、該コンデンサc1の電圧が所定数に達するとトランジスタがオンし、チョークコイル12からの転流FET9のゲート駆動信号を短絡する。

【0016】図5は図3の各部動作波形図で、何らかの原因にて、出力に高い電圧が印加され、制御回路信号

(PWM信号が)停止され、チョークの2次巻き線からの信号が、通常の信号より長くなると、時定数回路30により転流FETのゲートが短絡され、転流FETがOFFとなりチョークへのエネルギーの蓄積が停止される。それ故、出力電圧が低下し、制御回路が動作再会しても、トランス3の励磁時間は通常時間ゆえ、過大な電圧の発生はない。このようにして、出力より高い電圧が印加されたり、入力電圧急変事に制御回路15の応答が間に合わず、出力電圧が通常より高くなった事に起因するスイッチ素子2、4、の破損を防げる。

【0017】図4は本発明の他の実施例回路図で、上記実施例(図3)と相違する点はPNP型トランジスタ7を制御スイッチ素子10と直列に接続し、時定数回路30の出力により、トランジスタQ1、Q2を用いて該トランジスタをオフし、出力チョークコイル12からのゲート駆動信号を開放(停止)するようにしたものである。

【0018】

【発明の効果】以上の説明から明らかなように、本発明によれば、同期整流回路を使用したスイッチング電源において、出力より高い電圧が印加されたり、入力電圧急変事等により制御回路28の応答が間に合わず、出力電圧が通常より高くなった場合に起因するスイッチ素子2、4の破損を防ぐ事が出来る。因みに、対策前の電源では、スイッチング素子2に加わる電圧が、通常160V前後であるが、前記の状態では250V以上発生し、*

*スイッチング素子2、又は整流FET4が破損していたが、対策回路では通常と同じ電圧であった。また、モジュールを並列運転しているとき、出力電圧に差があった場合等の、出力電圧の低い電源のスイッチ素子9の破損対策にも有効である。

【図面の簡単な説明】

【図1】 本発明の実施例

【図2】 本発明の実施例

【図3】 本発明の実施例

10 【図4】 本発明の実施例

【図5】 本発明(図3)の各部動作波形図

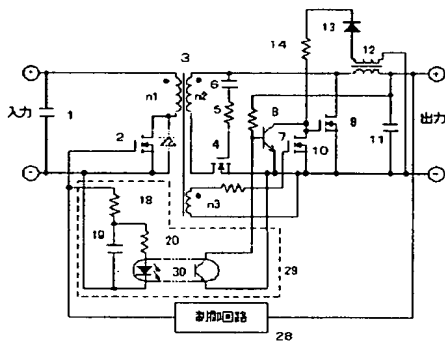
【図6】 従来の回路波形図

【図7】 従来の回路

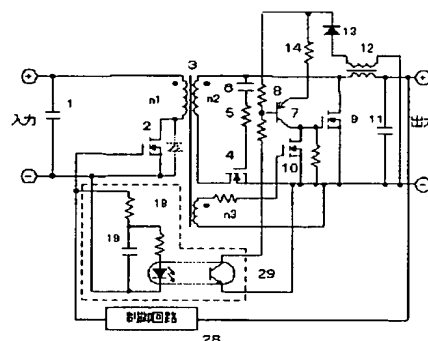
【符号の説明】

- | | |
|-----|--------------------------|
| 1: | 入力コンデンサ |
| 2: | スイッチング素子 |
| 3: | 電力変換用トランス |
| 4: | 整流用双方向性スイッチング素子(同期整流FET) |
| 9: | 回生用双方向性スイッチング素子(転流FET) |
| 11: | 平滑コンデンサ |
| 12: | 出力チョーク |
| 28: | 制御回路 |
| 29: | 制御信号検出回路 |
| 30: | 時定数回路 |

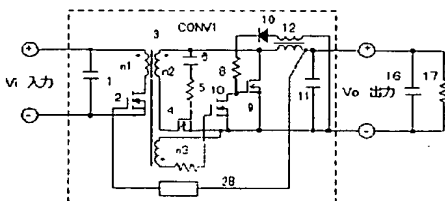
【図1】



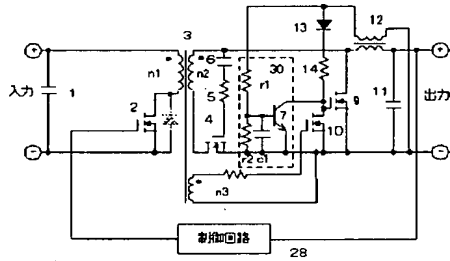
【図2】



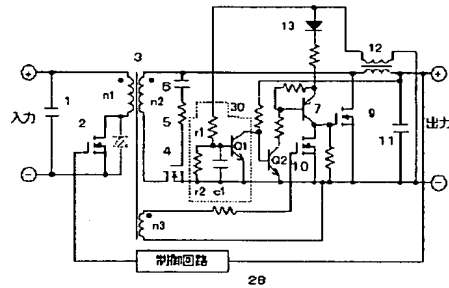
【図7】



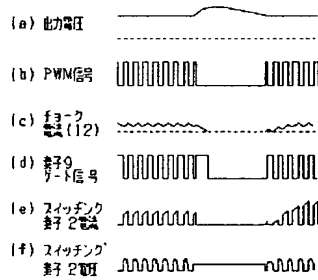
【図3】



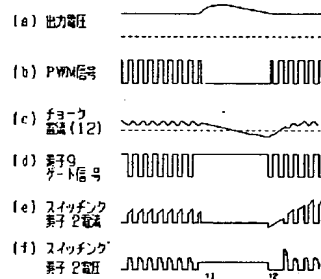
【図4】



【図5】



【図6】



フロントページの続き

Fターム(参考) 5H006 AA05 CA02 CB07 DA04 DB01
 DC05 FA01
 5H730 AA20 BB23 BB57 BB82 DD04
 EE08 EE10 EE13 EE19 EE59
 FD01 FD21 FF19 FG05 XX03
 XX12 XX30 XX36 XX43